

~~Juan Carlos A. Marquez~~  
~~Registration Number 34,072~~

# **PATENT OFFICE**

## **JAPANESE GOVERNMENT**

This is to certify that the annexed is a true copy of the following application as filed with this office.

Date of Application : October 28, 2003  
Application Number : Patent Application No. 2003-367138  
Applicant (s) : Hitachi, Ltd.  
Hitachi Displays, Ltd.

Dated this 8<sup>th</sup> day of January , 2004

---

Yasuo IMAI  
Commissioner,  
Patent Office  
Certificate No. 2003-3109818

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

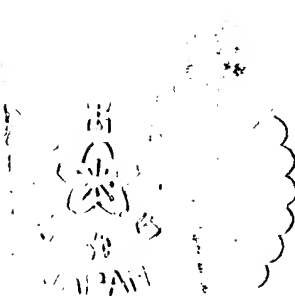
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年 1 0 月 2 8 日  
Date of Application:

出 願 番 号                      特 願 2 0 0 3 - 3 6 7 1 3 8  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 3 - 3 6 7 1 3 8 ]

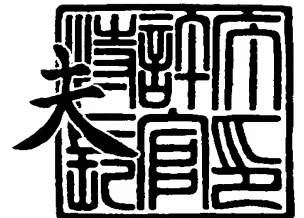
出      願      人                      株式会社日立製作所  
Applicant(s):                      株式会社    日立ディスプレイズ



2 0 0 4 年    1 月    8 日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

今 井 康



出 証 番 号    出 証 特 2 0 0 3 - 3 1 0 9 8 1 8

【書類名】 特許願  
【整理番号】 NT03P0451  
【提出日】 平成15年10月28日  
【あて先】 特許庁長官 殿  
【国際特許分類】 G09F 9/30  
【発明者】  
    【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所  
                                中央研究所内  
    【氏名】 景山 寛  
【発明者】  
    【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所  
                                中央研究所内  
    【氏名】 秋元 肇  
【特許出願人】  
    【識別番号】 000005108  
    【氏名又は名称】 株式会社日立製作所  
【特許出願人】  
    【識別番号】 502356528  
    【氏名又は名称】 株式会社日立ディスプレイズ  
【代理人】  
    【識別番号】 100068504  
    【弁理士】  
    【氏名又は名称】 小川 勝男  
    【電話番号】 03-3661-0071  
【選任した代理人】  
    【識別番号】 100086656  
    【弁理士】  
    【氏名又は名称】 田中 恭助  
    【電話番号】 03-3661-0071  
【手数料の表示】  
    【予納台帳番号】 081423  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1

**【書類名】 特許請求の範囲****【請求項 1】**

複数の画素がマトリクス状に配置された画像表示部と、前記画素と電圧信号をアクセスするために前記画像表示部内に配置された複数の信号線と、前記信号線の電圧を制御する駆動回路とからなり、前記画素が発光素子と前記発光素子の発光強度を制御する画素回路とで構成される画像表示装置であって、複数の前記画素がそれぞれ有する前記画素回路の内部電圧を選択的に前記信号線へ発生する画素回路電圧検出手段を具備し、前記駆動回路は前記信号線の電圧と表示画像に対応した信号電圧を加算して再度前記信号線に電圧を出力する電圧加算手段を具備することを特徴とする画像表示装置。

**【請求項 2】**

請求項 1 記載の画像表示装置において、

前記画素回路電圧検出手段は、複数の前記画素がそれぞれ具備する複数の前記画素回路と前記信号線との間を、遮断状態と、接続状態と、前記接続状態より十分高い抵抗値で接続された抵抗接続状態との 3 状態をとり得る回路で構成されることを特徴とする画像表示装置。

**【請求項 3】**

請求項 1 記載の画像表示装置において、

前記画素回路電圧検出手段は、抵抗器と、該抵抗器に並列接続されたスイッチングトランジスタとから構成されることを特徴とする画像表示装置。

**【請求項 4】**

請求項 1 記載の画像表示装置において、

前記画素回路は、前記発光素子に定電流を供給する電流記憶回路を具備することを特徴とする画像表示装置。

**【請求項 5】**

請求項 1 記載の画像表示装置において、

前記駆動回路は、前記信号線の電圧を記憶するサンプリング回路と、前記記憶された電圧と画像信号の電圧を加算する加算回路とを含むことを特徴とする画像表示装置。

**【請求項 6】**

請求項 1 記載の画像表示装置において、

前記駆動回路は、アナログ電圧を出力するドライバ IC と、前記ドライバ IC と前記信号線の間接続されたキャパシタとから構成されていることを特徴とする画像表示装置。

**【請求項 7】**

請求項 1 記載の画像表示装置において、

前記発光素子は、発光ダイオード素子であることを特徴とする画像表示装置。

**【請求項 8】**

請求項 1 記載の画像表示装置において、

前記画素回路と、前記画素回路電圧検出手段とは、薄膜トランジスタを用いて構成されていることを特徴とする画像表示装置。

**【請求項 9】**

請求項 8 記載の画像表示装置において、

前記画素回路は、n チャネルまたは p チャネル薄膜トランジスタのいずれか一方のチャネルの薄膜トランジスタで構成されたことを特徴とする画像表示装置。

**【請求項 10】**

複数の画素がマトリクス状に配置された画像表示部と、前記画素と電圧信号をアクセスするために前記画像表示部内に配置された複数の信号線と、前記信号線のアナログ電圧を制御する駆動回路とからなり、前記画素が発光素子と前記発光素子の発光強度を制御する画素回路とで構成される画像表示装置であって、前記信号線よりも高い抵抗値を持つ複数の抵抗配線が前記信号線と平行に配置され、前記信号線と前記抵抗配線の間複数の第 1 のスイッチング手段が設けられ、前記抵抗配線と前記画素回路の間に複数の第 2 のスイッチング手段が設けられたことを特徴とする画像表示装置。

**【請求項 1 1】**

請求項 1 0 記載の画像表示装置において、

前記駆動回路は前記信号線の電圧と表示画像に対応した信号電圧を加算して再度信号線に電圧を出力する電圧加算手段を具備することを特徴とする画像表示装置。

**【請求項 1 2】**

請求項 1 0 記載の画像表示装置において、

前記第 1 および第 2 のスイッチング手段を制御して前記信号線と前記画素回路間の抵抗値を少なくとも 2 段階に変化させる制御回路を具備することを特徴とする画像表示装置。

**【請求項 1 3】**

請求項 1 0 記載の画像表示装置において、

前記信号線と前記抵抗配線は、絶縁膜を挟んでオーバーラップして設けられたことを特徴とする画像表示装置。

**【請求項 1 4】**

請求項 1 0 記載の画像表示装置において、

前記抵抗配線は多結晶シリコン薄膜抵抗であることを特徴とする画像表示装置。

**【請求項 1 5】**

請求項 1 0 記載の画像表示装置において、

前記発光素子は、発光ダイオード素子であることを特徴とする画像表示装置。

**【請求項 1 6】**

請求項 1 0 記載の画像表示装置において、

前記画素回路と、前記第 1 および第 2 のスイッチング手段とは、薄膜トランジスタを用いて構成されていることを特徴とする画像表示装置。

**【請求項 1 7】**

請求項 1 6 記載の画像表示装置において、

前記画素回路は n チャンネルまたは p チャンネル薄膜トランジスタのいずれか一方のチャンネルの薄膜トランジスタで構成されたことを特徴とする画像表示装置。

【書類名】明細書

【発明の名称】画像表示装置

【技術分野】

【0001】

本発明は画像表示装置に係り、特に画素に発光素子を用いる画像表示装置に関する。

【背景技術】

【0002】

画素に発光素子を使用した画像表示装置として、エレクトロルミネッセンス（以下、ELと略す）素子を用いたELディスプレイが報告されている。さらに、アクティブマトリクス型のELディスプレイでは、信号や電流を伝える配線をマトリクス状に配線し、画素にはEL素子の他に、アクティブ素子である薄膜トランジスタ（以下、TFTと略す）で形成した画素回路を内蔵している。

【0003】

EL素子の発光輝度を制御する方法として、画素回路がEL素子へ供給する電圧を制御する方法と、電流を制御する方法とがあるが、EL素子の発光輝度はEL素子を流れる電流に比例して変化するので、電流を制御する方式には、発光輝度を安定して制御できる利点がある。電流によってEL素子の発光輝度を制御する方法は、特許文献1に開示されている。

【0004】

EL素子を使った従来の画素回路を図13に示す。従来の画素回路は、抵抗101、pチャネルTFT102、103、TFTスイッチ104、電源線105、キャパシタ106によって構成され、画素回路にはEL素子108、接地電極107が接続している。TFTスイッチ104をONにして入力端子109に電圧信号を印加すると、抵抗101に電流が流れ、pチャネルTFT102のゲート電極にはドレイン電流に対応したゲート電圧が発生し、そのゲート電圧はキャパシタ106に記憶される。このとき流れる電流*i*は式1に従う。ただし、電源線105の電圧をV<sub>dd</sub>、入力端子109に供給される電圧をV<sub>in</sub>、TFT102のソースドレイン電極間の電圧をV<sub>ds</sub>、抵抗101の抵抗値をRとする。

【0005】

$$i = (V_{dd} - V_{ds} - V_{in}) / R \quad \dots (式1)$$

pチャネルTFT102と103はカレントミラー回路を構成しているので、pチャネルTFT103のソースドレイン電極間にも電流*i*が発生し、EL素子108にも電流*i*が流れる。次に、TFTスイッチ104をOFFにしても、キャパシタ106がTFT103のゲート電圧を記憶しているので、pチャネルTFT103は、入力端子109の電圧に関わらず、EL素子108に電流*i*を供給し続ける。

【0006】

したがって、図13に示した画素回路は、入力端子に供給する電圧V<sub>in</sub>を制御することにより式1に従った電流をEL素子108に流すことができ、さらに、キャパシタ106が保持するゲート電圧によってEL素子108を流れる電流を記憶することができる。EL素子108を流れる電流と発光輝度は比例するので、入力端子に供給する電圧V<sub>in</sub>によってEL素子108の発光輝度を制御することができる。以上のような画素回路とEL素子を2次的に配列し、順番に入力端子に信号電圧V<sub>in</sub>を書き込むことによって画像を表示することができる。なお、電流量に比例して発光輝度を変化するEL素子としては、有機ELダイオードが知られている。

【0007】

【特許文献1】特開2000-56847号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

従来の画像表示装置は、図13に示した画素回路が複数配列されている。しかし、複数

の画素回路の間では、TFT102に同じ電流を流していた場合でも、ドレインソース電極間の電圧 $V_{ds}$ の値は、TFT自体の特性ばらつきによってばらつく。さらに、1つの電源線105に複数の画素回路が接続しているために、電源線105が持つ配線抵抗によって電圧降下が発生し、いくつかの画素回路では電源線105の電圧 $V_{dd}$ が降下することがある。大画面の画像表示装置では電源線の長さが長くなるために、電圧降下は特に顕著となる。

#### 【0009】

EL素子108の発光強度は式1に従う電流 $i$ に比例するので、EL素子108の発光強度は $V_{ds}$ ばらつきや、 $V_{dd}$ 降下の影響を直接受けることになる。このような影響を受けると、図13の画素回路を用いた画像表示装置では、表示画像に明暗のむらが観測されてしまい、画質が低下することになる。

#### 【0010】

そこで、本発明の目的は、以上のような画質低下を発生しない画像表示装置を提供することにある。

#### 【課題を解決するための手段】

#### 【0011】

本発明は、複数の画素がマトリクス状に配置された画像表示部と、前記画素と電圧信号をアクセスするために前記画像表示部内に配置された複数の信号線と、前記信号線の電圧を制御する駆動回路とからなり、前記画素が発光素子と前記発光素子の発光強度を制御する画素回路とで構成される画像表示装置であって、複数ある画素がそれぞれ有する画素回路の内部電圧を、選択的に信号線へ発生する画素回路電圧検出手段を具備し、駆動回路は信号線の電圧と表示画像に対応した信号電圧を加算して再度信号線に電圧を出力する電圧加算手段を具備することを特徴とするものである。

#### 【0012】

前記画素回路電圧検出手段は、複数ある画素がそれぞれ具備する複数の画素回路と、信号線との間を、遮断状態、接続状態と、前記接続状態より十分高い抵抗値で接続された抵抗接続状態との3状態をとり得る回路で構成すれば好適である。

#### 【0013】

また、前記画素回路電圧検出手段を、抵抗器と、この抵抗器に並列に接続され抵抗の両端を短絡／開放するスイッチングトランジスタとで構成としても良い。

#### 【0014】

また、前記画素回路は前記発光素子に定電流を供給する電流記憶回路を具備すれば好適である。

#### 【0015】

さらに、前記駆動回路は、前記信号線の電圧を記憶するサンプリング回路と、記憶された電圧と画像信号の電圧を加算する加算回路とを含む構成としても良いし、アナログ電圧を出力するドライバICと、このドライバICと前記信号線の間に接続されたキャパシタとからなる構成としても良い。

#### 【0016】

また、本発明は複数の画素がマトリクス状に配置された画像表示部と、前記画素と電圧信号をアクセスするために前記画像表示部内に配置された複数の信号線と、前記信号線のアナログ電圧を制御する駆動回路とからなり、前記画素が発光素子と前記発光素子の発光強度を制御する画素回路とで構成される画像表示装置であって、前記信号線よりも高い抵抗値を持つ複数の抵抗配線が前記信号線と平行に配置され、前記信号線と前記抵抗配線の間に複数の第1のスイッチング手段が設けられ、前記抵抗配線と前記画素回路の間に複数の第2のスイッチング手段が設けられたことを特徴とするものである。

#### 【0017】

この場合、前記駆動回路は、信号線の電圧と表示画像に対応した信号電圧を加算して再度信号線に電圧を出力する電圧加算手段を具備すれば好適である。

また、前記第1および第2のスイッチング手段を制御して前記信号線と前記画素回路間



の抵抗値を少なくとも 2 段階に変化させる制御回路を具備すれば好適である。

【0018】

さらに、前記信号線と抵抗配線は、絶縁膜を挟んでオーバーラップして形成されていてもよい。

また、前記抵抗配線は多結晶シリコン薄膜で形成されていてもよい。

【0019】

さらに、画素回路を構成する素子は、薄膜トランジスタを用いて構成されれば好適であり、薄膜トランジスタが、nチャネルあるいはpチャネルいずれか一方のみで構成されていてもよい。

【発明の効果】

【0020】

本発明によれば、電源線の電圧降下や、TFTのスレッシュホールド電圧ばらつきに起因した発光素子の輝度ばらつきを軽減して、良好な画質の画像表示装置を実現することができる。

【発明を実施するための最良の形態】

【0021】

本発明に係る画像表示装置の実施形態について、以下、添付図面を参照しながら詳細に説明する。

【0022】

<実施形態 1>

図 1 は本発明に係る画像表示装置の第 1 の実施形態例を示す回路構成図である。ガラス基板 1 の表面には、複数の画素回路 2、複数の信号線 3、複数の走査線バス 4、走査回路 5 が形成されている。

【0023】

画素回路 2 は、2 列×2 行にマトリクス状に配列しているが、画素回路 2 の個数が 2×2=4 個である理由は、単に説明をしやすくするためであり、例えば画面の解像度が、カラー V G A (Video Graphics Array) の場合、列数は 640 列×3 色=1920 列、行数は 480 行になる。それぞれの信号線 3 は画素回路 2 のうち 1 列分に接続し、それぞれの走査線バス 4 は画素回路 2 のうち 1 行分に接続している。走査回路 5 は全ての走査線バス 4 に接続し、走査線バス 4 に信号を発生している。また、ガラス基板 1 の表面にはドライバ I C 6 が接着され、信号線 3 と接続されている。ドライバ I C 6 は、ケーブル 7 を通して外部から入力されるの画像信号を受ける。

【0024】

画素回路 2 は TFT スイッチ 11~14、電流制御用 TFT 15、キャパシタ 16、抵抗器 17、EL 素子 18 で構成されている。キャパシタ 16 は電流制御用 TFT 15 のゲートソース電極の間に接続され、ゲートソース電極間の電圧  $V_{gs}$  を保持する機能を有する。TFT スイッチ 13 は、電流制御用 TFT 15 のドレインゲート電極間に接続され、ドレイン電極の電圧をゲート電極およびキャパシタ 16 に供給するか否かを制御する。電流制御用 TFT 15 のドレイン電極は電源配線 20 に接続され、電源配線 20 から電流が供給される。電流制御用 TFT 15 のソース電極は、3 つの TFT スイッチ 11、12、14 に接続されている。TFT スイッチ 11 は複数の信号線 3 のうち 1 本と電流制御用 TFT 15 の間を接続し、ON のときに電流制御用 TFT 15 を流れる電流を直接信号線 3 に流す役割を持つ。TFT スイッチ 12 は信号線 3 のうち 1 本と電流制御用 TFT 15 の間を、抵抗器 17 を直列に介して接続し、ON のときに抵抗器 17 の両端にかかる電圧に比例した電流を発生する役割を持つ。TFT スイッチ 14 は EL 素子 18 の陽極と電流制御用 TFT 15 の間を接続し、ON のときに電流制御用 TFT 15 を流れる電流を EL 素子 18 に供給する役割を持つ。EL 素子 18 の陰極は、接地電極 19 に接続されている。

【0025】

図中では省略しているが、TFT スイッチ 11~14 は走査線バス 4 と接続され、走査

線バス4の信号によりON/OFF状態が制御される。複数の走査線バス4は全て走査回路5に接続され、走査回路5はTFTスイッチ11～14のON/OFFを制御するロジック信号を発生し、走査線バス4に供給する機能を持つ。

#### 【0026】

ドライバIC6はメモリ(M)21、DAコンバータ(DAC)22、加算回路23、キャパシタ24、スイッチ25～27で構成される。ドライバIC6は信号線3の全てに接続されており、各信号線毎に同じ回路が並列に構成されている。複数あるメモリ21の全ては、ケーブル7と接続され、ケーブル7を通して入力されるデジタル画像信号を分配し、記憶する機能を持つ。DAコンバータ22はメモリ21に接続され、メモリ21が記憶したデジタル画像信号をアナログ電圧に変換する機能を持つ。キャパシタ24とスイッチ25はサンプリング回路を構成しており、スイッチ25がONのときに信号線3の電圧をキャパシタ24にサンプリングする役割を持つ。加算回路23は、DAコンバータ22の出力電圧“ $-V_{data}$ ”とキャパシタ24の電圧 $V_c$ を加算し、加算電圧 $V_o$ を発生する。スイッチ26は加算回路23と信号線3を接続し、スイッチ26がONのときに加算電圧 $V_o$ が信号線3に出力される。TFT27は、信号線3の電圧を電源線20の電圧より十分低い電圧に下げるときのスイッチである。なお、ドライバIC6を構成するメモリ21、DAコンバータ22、加算回路23、キャパシタ24、スイッチ25～27のうち、全て、あるいは一部の機能をTFTを用いて構成し、ガラス基板1上に形成してもかまわない。

#### 【0027】

図2は、画素回路2のさらに詳細な回路図である。図1では、紙面上の煩雑さを懸念して走査線バス4とTFTスイッチ11～14の接続関係と電源線20を省略していたが、それらを図2では記述してある。また、図1ではTFTスイッチと電流制御用TFTを区別して記述したが、構造上特に違いなく形成して良い。

#### 【0028】

図2において、TFTスイッチ11～14と電流制御用TFT15は、全てnチャネルTFTで構成されている。走査線バス4は4本の走査線4a～4dから成り立っている。走査線4aはTFTスイッチ13のゲート電極に、走査線4bはTFTスイッチ11のゲート電極に、走査線4cはTFTスイッチ12のゲート電極に、走査線4dはTFTスイッチ14のゲート電極にそれぞれ接続されている。

#### 【0029】

nチャネルTFTの特性に従い、走査線4a～4dの電圧が高いときにTFTスイッチ11～14をONに、走査線4a～4dの電圧が低いときにTFTスイッチをOFFにすることができる。電源線20は画素回路の周辺に張り巡らされ、全ての画素回路2に共通に接続して電流を供給している。表示装置がカラー表示の場合、赤、青、緑の画素ごとに供給電圧を変えるために電源線を分ける場合もある。

#### 【0030】

図1および図2において、EL素子18と接地電極19は画素回路2の内部に含めて記述してあるが、EL素子18と接地電極19はガラス基板1に対して図3に示すような立体的な配置になる。画素回路2内にTFTスイッチ14に接続した陽極電極30を設け、EL素子材料18aをガラス基板1の上に蒸着技術により成膜する。さらにその上に接地電極19が蒸着技術により成膜される。陽極電極30と接地電極19に挟まれた部分がEL素子18となる。表示装置がカラーの場合、EL素子材料18aは、赤、青、緑の複数をを用いる。陽極電極30と接地電極19の間に電流を流すことにより、EL素子18は発光する。接地電極を透明にした場合、紙面上方向が表示面になり、陽極電極を透明にした場合、紙面下方向が表示面となる。

#### 【0031】

図4に、本実施形態例の画像表示装置を駆動するための走査線バス4の駆動波形、ドライバIC6のスイッチのON/OFF動作、および表示装置内各部での発生電圧と発生電流を示す。また、図4では、図1に描かれている複数ある画素回路2のうち、左上の1回

路を駆動することとして説明する。

【0032】

L(4a)、L(4b)、L(4c)、L(4d)は、走査回路5が走査線4a～4dにそれぞれ発生する駆動波形を表している。L(4a)～L(4d)の信号は2値のロジック電圧信号であり、高い電圧信号(以下Hと略す)のときにTFTスイッチはONになり、低い電圧信号(以下Lと略す)のときにTFTスイッチはOFFになる。S(25)、S(26)、S(27)は、ドライバIC6内のスイッチ25～27のON/OFF状態をそれぞれ表している。

【0033】

Vsigは信号線3の電圧値、Vgsは電流制御用TFT15のゲートソース電極間の電圧値、idsは電流制御用TFT15のドレインソース電極間電流値、ILEDは発光素子18を流れる電流値をそれぞれ表している。

【0034】

図4中の全てで横軸は時間である。時刻t0からt5までが、図1中の左上の画素回路2に画像信号を書き込んでいる期間であり、時刻t5からtENDまでが、左上の画素回路2に書き込まれた画像信号に従って発光素子18が発光している期間である。

時刻t0からt5の間、走査線4dはLになっており、TFTスイッチ14がOFF状態であるので、発光素子18は消灯している。

【0035】

時刻t1において、スイッチ27を適当な期間ON状態にすると、信号線3の電圧が電源線20の電圧Vddよりも十分低い電圧になる。スイッチ26をOFFにした後も、信号線3が持っている寄生容量によってこの電圧は保持されている。

【0036】

時刻t2において、走査線4aと4bをHに、スイッチ25をONにする。このとき、スイッチTFT13と12はON状態になっている。TFT13がON状態であるため、電流制御用TFT15のゲート電極には電源線20の電圧Vddが供給され、TFT12がON状態であるため、電流制御用TFT15のソース電極には信号線3の電圧Vsigが供給される。信号線の電圧Vsigは電源線の電圧Vddより十分低い電圧となっているので、ゲートソース電極間電圧Vgsは電流制御用TFT15がONするのに十分な値となり、電流制御用TFT15のドレインソース電極間電流idsが流れる。やがて、信号線3の寄生容量が充電されるに従って信号線3の電圧Vsigが上昇し、電流制御用TFT15のゲートソース電極間電圧Vgsが、電流制御用TFT15のスレッシュホールド電圧Vthになったところで電流idsは0となり安定する。

【0037】

この時、信号線3の電圧 $V_{sig} = V_{dd} - V_{th}$ であり、ドライバIC6内では、スイッチ25を通して、キャパシタ24に電圧 $V_{dd} - V_{th}$ が印加される。つまり、本実施形態例は時刻t2からt3の間において、電流制御用TFT15のスレッシュホールド電圧Vthを検出してドライバIC6に伝える動作を行っている。

【0038】

時刻t3において、走査線4bをLに、走査線4cをHに、スイッチ25をOFFに、スイッチ26をONにする。このとき、TFTスイッチ11はOFF状態、12はON状態になっている。ドライバIC6内において、スイッチ25はOFF状態であるので、キャパシタ24は電圧 $V_{dd} - V_{th}$ を保持している。加算回路23では、キャパシタ24の電圧 $V_{dd} - V_{th}$ と、画像信号であるDAコンバータ22の出力電圧-Vdataとを加算し、加算回路23の出力電圧Voは $V_{dd} - V_{th} - V_{data}$ になる。

【0039】

スイッチ26がON状態であるので、加算回路23の出力電圧Voは信号線3に出力され、信号線の電圧Vsigは時刻t3以前の電圧よりVdata低い $V_{dd} - V_{th} - V_{data}$ の電圧となる。つまり、本実施形態例は時刻t3からt4の間において、時刻t3以前の信号線の電圧Vsigに、電圧-Vdataを加算する動作を行っている。

## 【0040】

一方、画素回路2においては、TFT11がOFF状態になり、TFT12がON状態になったので、電流制御用TFT15のソース電極と信号線3は、抵抗器17を介して接続されている。信号線の電圧Vsigは時刻t3以前の電圧より低くなったため、電流制御用TFT15には再び電流が流れ始める。このときのゲートソース電極間電圧Vgs = Vth' と仮定すると、ソース電極の電圧はVdd - Vth' となるので、抵抗器17の両端にはソース電極の電圧と信号線3の電圧Vsigの差電圧Vdata - (Vth' - Vth) が発生する。したがって、オームの法則により、抵抗器17には式2に従う電流値iの電流が流れる。電流制御用TFTのドレインソース電極間電流idsも同じ電流値iの電流が流れる。なお式2でRは抵抗器の抵抗値である。

## 【0041】

$$i = Vdata \{1 - (Vth' - Vth) / Vdata\} / R \cdots (\text{式}2)$$

時刻t4において、走査線4aをLにすると、TFTスイッチ13がOFFになり、電流制御用TFT15のゲートソース電極間電圧Vgs = Vth' はキャパシタ16によって保持される。その後、走査線4cをLにし、スイッチ26をOFFにする。

## 【0042】

時刻t5から時刻tENDまでの間、走査線4dをHにすることで、TFTスイッチ14はON状態を保ち、電流制御用TFT15を通してEL素子18に電流が供給され、EL素子18は発光する。(この間、ドライバIC6は他の画素に画像信号を書き込んでいても良い。) このとき、電流制御用TFT15のドレインソース電極間電流idsは、電流キャパシタ16が保持しているゲートソース電極間電圧Vgs = Vth' により電流値iに制限される。そのため、EL素子18に流れる電流ILEDも電流値iに制限される。

## 【0043】

EL素子18の発光強度はILEDの電流値に比例するので、EL素子18の発光強度も電流値iに比例する。したがって、画像信号の情報をもつ電圧Vdataによって、EL素子18の発光強度を制御することができる。

## 【0044】

以上の動作を全ての画素に繰り返し行うことにより、画像信号に従って所定の画素の発光強度を制御できるので、本発明に係る画像表示装置の第1の実施形態例は、画像を表示することができる。

## 【0045】

ところで、前述した式2において、電圧Vdataの振幅を電圧(Vth' - Vth)より十分大きくすることにより、式2は次の式3で近似することができる。

## 【0046】

$$i = Vdata / R \cdots (\text{式}3)$$

この場合、式3の右辺には、電圧Vdataと抵抗器17の抵抗値Rしかないので、抵抗器17を多結晶シリコンで形成した配線などを用いて形成し、安定した抵抗値を持たせることにより、電源線20の電圧Vddや、電流制御用TFT15のスレッシュホールド電圧Vthの影響を受けずに電流値iと電圧Vdataを比例させることができることを意味する。

## 【0047】

したがって、本発明に係る画像表示装置の第1の実施形態例を構成するEL素子18の発光輝度は、電源電圧Vddの変動や、電流制御用TFTのVthばらつきによる影響を受けにくい。

## 【0048】

本実施形態例に示した画像表示装置は、携帯電話、TV、PDA、ノートPC、モニタに適用することで、携帯電話、TV、PDA、ノートPC、モニタ電源線の電圧降下や、TFTのスレッシュホールド電圧ばらつきに起因した発光素子の輝度ばらつきを軽減し、良好な画質の画像表示装置を実現することができる。

## 【0049】

## &lt;実施形態2&gt;

図5は本発明に係る画像表示装置の第2の実施形態例を示す回路構成図である。ガラス基板41の表面には、複数の画素回路42、複数のダミー画素回路49、複数の信号線43、複数の抵抗配線48、複数の走査線バス44、走査回路45が形成されている。画素回路42は2列×2行にマトリクス状に配列しているが、画素回路42の個数が $2 \times 3 = 6$ 個である理由は、単に説明をしやすくするためであり、例えば画面の解像度がカラーVGAの場合、列数は640列×3色=1920列、行数は480行になる。それぞれの信号線43および抵抗配線48は、画素回路42およびダミー画素回路49のうち1列分に接続され、それぞれの走査線バス44は画素回路42およびダミー画素回路49のうち1行分に接続されている。走査回路45は全ての走査線バス44に接続され、走査線バス44に信号を発生している。また、ガラス基板41の表面にはドライバIC6が接着され、信号線43と接続されている。ドライバIC6は、ケーブル7を通して外部から入力される画像信号を受ける。

## 【0050】

画素回路42はTFTスイッチ51～54、電流制御用TFT55、キャパシタ56、EL素子58で構成されている。キャパシタ56は、電流制御用TFT55のゲート電極とソース電極の間に接続され、ゲートソース電極間の電圧 $V_{gs}$ を保持する機能を有する。TFTスイッチ53は電流制御用TFT55のドレインゲート電極間に接続され、ドレイン電極の電圧をゲート電極およびキャパシタ56に供給するか否かを制御する。電流制御用TFT55のドレイン電極は電源配線60に接続され、電源配線60から電流が供給される。

## 【0051】

電流制御用TFT55のソース電極は、2つのTFTスイッチ52、54に接続されている。TFTスイッチ52は抵抗配線48のうち1本と電流制御用TFT55の間を接続し、ONのときに電流制御用TFT55を流れる電流を抵抗配線48に流す役割を持つ。TFTスイッチ54はEL素子58の陽極と電流制御用TFT55の間を接続し、ONのときに電流制御用TFT55を流れる電流をEL素子58に供給する役割を持つ。EL素子58の陰極は、接地電極59に接続されている。

## 【0052】

TFTスイッチ51は、抵抗配線48上のTFTスイッチ52との接続ノードと、信号線43の間を接続し、ONのときに抵抗配線48あるいはTFTスイッチ52を流れる電流を信号線43に流す役割を持つ。ダミー画素回路49はTFTスイッチ51だけで構成されており、TFTスイッチ51がONのときに抵抗配線48を流れる電流を信号線43に流す役割を持つ。

## 【0053】

図5では、TFTスイッチと電流制御用TFTを区別して記述したが、構造上特に違いなく形成して良い。また、TFTスイッチ51～54と電流制御用TFT55は全てnチャネルTFTで構成されている。

## 【0054】

また、図5では省略しているが、TFTスイッチ51～54は走査線バス44と接続され、走査線バス44の信号によりON/OFF状態が制御される。複数の走査線バス44は全て走査回路45に接続され、走査回路45はTFTスイッチ51～54のON/OFFを制御するロジック信号を発生し、走査線バス44に供給する機能を持つ。

## 【0055】

ドライバIC6はメモリ21、DAコンバータ22、加算回路23、キャパシタ24、スイッチ25～27で構成される。ドライバIC6は信号線43の全てに接続しており、各信号線毎に同じ回路が並列に構成されている。複数のメモリ21の全てはケーブル7と接続され、ケーブル7を通して入力されるデジタル画像信号を分配し、記憶する機能を持つ。DAコンバータ22はメモリ21に接続され、メモリ21が記憶したデジタル画像

信号をアナログ電圧に変換する機能を持つ。キャパシタ 24 とスイッチ 25 はサンプリング回路を構成しており、スイッチ 25 が ON のときに信号線 43 の電圧をキャパシタ 24 にサンプリングする役割を持つ。加算回路 23 は DA コンバータ 22 の出力電圧 “ $-V_{data}$ ” とキャパシタ 24 の電圧  $V_c$  を加算し、加算電圧  $V_o$  を発生する。スイッチ 26 は加算回路 23 と信号線 43 を接続し、スイッチ 26 が ON のときに加算電圧  $V_o$  が信号線 3 に出力される。TFT 27 は、信号線 43 の電圧を電源線 60 の電圧より十分低い電圧に下げるためのスイッチである。なお、ドライバ IC 6 を構成するメモリ 21、DA コンバータ 22、加算回路 23、キャパシタ 24、スイッチ 25～27 のうち、全て、あるいは一部の機能を TFT を用いて構成し、ガラス基板 41 上に形成してもかまわない。

#### 【0056】

図 5 において、EL 素子 58 と接地電極 59 は画素回路 42 の内部に含めて記述してあるが、EL 素子 58 と接地電極 59 はガラス基板に対して図 6 に示すような立体的な配置になる。画素回路 42 内に、TFT スwitch 54 に接続した陽極電極 70 を設け、EL 素子材料 58a をガラス基板 41 の上に蒸着技術により成膜する。さらにその上に接地電極 59 が蒸着技術により成膜される。陽極電極 70 と接地電極 59 に挟まれた部分が EL 素子 58 となる。表示装置がカラーの場合、EL 素子材料 58a は、赤、青、緑の複数をを用いる。陽極電極 70 と接地電極 59 の間に電流を流すことにより、EL 素子 58 は発光する。接地電極を透明にした場合、紙面上方向が表示面になり、陽極電極を透明にした場合は、紙面下方向が表示面となる。

#### 【0057】

ところで、信号線 43 と抵抗配線 48 は、ガラス基板 41 上にオーバーラップして形成することができる。図 6 の A-A' 間の断面図を図 7 に示す。ガラス基板 41 上に絶縁膜 74 を形成し、その上に、多結晶シリコン薄膜にリンあるいはボロンのどちらかをドーピングすることで形成した抵抗配線 48 を形成する。その上に、絶縁膜 73 を挟んでアルミニウムなど導電率の高い金属で信号線 43 を形成する。その上に、絶縁膜 72 を挟んで陽極電極 70 と絶縁膜 71 を形成する。その上に、EL 素子材料 58a を、さらにその上に、接地電極 59 を蒸着する。抵抗配線 48 と信号線 43 をオーバーラップして形成すると、陽極電極 70 上に EL 素子材料 58a が蒸着されてできた EL 素子 58 が占める面積をより大きく確保ことができるので、画像表示装置をより明るく発光させる場合に有利である。

#### 【0058】

図 8 に、本実施形態例の画像表示装置を駆動するための TFT スwitch 51～54 の ON/OFF 動作、ドライバ IC 6 のスイッチの ON/OFF 動作、および表示装置内各部での発生電圧と発生電流を示す。また、図 8 では、図 5 に描かれている複数ある画素回路 42 のうち、左列最上段の 1 回路を駆動することとして説明する。9-ABC の項目は、TFT スwitch 51～54 の状態を表しており、a～c の場合の各状態はそれぞれ図 9 の (a)～(c) に描かれている。図 9 は、図 5 の左列最上段の画素回路付近を抜き出した図面である。x の場合は全ての TFT スwitch が OFF の状態を表している（図 9 には描かれていない）。図 8 の S(25)、S(26)、S(27) は、ドライバ IC 6 内のスイッチ 25～27 の ON/OFF 状態をそれぞれ表している。Vsig は信号線 43 の電圧値、Vgs は電流制御用 TFT 55 のゲートソース電極間の電圧値、ids は電流制御用 TFT 55 のドレインソース電極間電流値、ILED は発光素子 58 を流れる電流値をそれぞれ表している。

#### 【0059】

図 8 中の全てで横軸は時間である。時刻  $t_0$  から  $t_5$  までは図 5 中の左列最上段の画素回路 42 に画像信号を書き込んでいる期間であり、時刻  $t_5$  から  $t_{END}$  までは、左列最上段の画素回路 42 に書き込まれた画像信号に従って発光素子 58 が発光している期間である。

#### 【0060】

時刻  $t_0$  から  $t_5$  の間、全ての TFT スwitch は OFF 状態であり、発光素子 58 は消灯している。

時刻  $t_1$  において、スイッチ 27 を適当な期間 ON 状態にすると、信号線 43 の電圧  $V_{sig}$  が電源線 60 の電圧  $V_{dd}$  よりも十分低い電圧になる。スイッチ 26 を OFF にした後、信号線 43 が持っている寄生容量によってこの電圧は保持されている。

#### 【0061】

時刻  $t_2$  において、図 9 (a) に示すように、駆動目的の画素回路 42 内の TFT スイッチ 51 ~ 53 を ON にする。TFT 53 が ON 状態であるため、電流制御用 TFT 55 のゲート電極には電源線 60 の電圧  $V_{dd}$  が供給され、TFT 52 が ON 状態であるため、電流制御用 TFT 15 のソース電極には信号線の電圧  $V_{sig}$  が供給される。信号線の電圧  $V_{sig}$  は電源線の電圧  $V_{dd}$  より十分低い電圧となっているので、ゲート-ソース電極間電圧  $V_{gs}$  は電流制御用 TFT 15 が ON するのに十分な値となり、電流制御用 TFT 15 のドレイン-ソース電極間電流  $i_{ds}$  が図中の破線矢印に沿って流れる。

#### 【0062】

やがて、信号線 43 の寄生容量が充電されるに従って信号線 43 の電圧  $V_{sig}$  が上昇し、電流制御用 TFT 55 のゲート-ソース電極間電圧  $V_{gs}$  が、電流制御用 TFT 55 のスレッシュホールド電圧  $V_{th}$  になったところで電流  $i_{ds}$  は 0 となり安定する。この時、信号線の電圧  $V_{sig} = V_{dd} - V_{th}$  であり、ドライバ IC 6 内では、スイッチ 25 を通して、キャパシタ 24 に電圧  $V_{dd} - V_{th}$  が印加される。つまり、本実施形態例では時刻  $t_2$  から  $t_3$  の間において、電流制御用 TFT 55 のスレッシュホールド電圧  $V_{th}$  を検出してドライバ IC 6 に伝える動作を行っている。

#### 【0063】

時刻  $t_3$  において、図 9 (b) に示すように、駆動目的の画素回路 42 の 1 つ上段と 1 つ下段の画素回路 42 (あるいはダミー画素回路 49) 内の TFT スイッチ 51 を ON にする。ドライバ IC 6 内において、スイッチ 25 は OFF 状態であるので、キャパシタ 24 は電圧  $V_{dd} - V_{th}$  を保持している。加算回路 23 ではキャパシタ 24 の電圧  $V_{dd} - V_{th}$  と、画像信号である DA コンバータ 22 の出力電圧  $-V_{data}$  と加算し、加算回路 23 の出力電圧  $V_o$  は  $V_{dd} - V_{th} - V_{data}$  になる。スイッチ 26 が ON 状態であるので、加算回路 23 の出力電圧  $V_o$  は信号線 43 に出力され、信号線の電圧  $V_{sig}$  は時刻  $t_3$  以前の電圧より  $V_{data}$  低い  $V_{dd} - V_{th} - V_{data}$  の電圧となる。つまり、本実施形態例では時刻  $t_3$  から  $t_4$  の間において、時刻  $t_3$  以前の信号線の電圧  $V_{sig}$  に、電圧  $-V_{data}$  を加算する動作を行っている。

#### 【0064】

信号線の電圧  $V_{sig}$  は時刻  $t_3$  以前の電圧より低くなったため、電流制御用 TFT 55 には再び電流が流れ始める。このときの電流経路は図中の破線矢印に従って流れる。抵抗配線 48 において、画素回路 (あるいはダミー画素回路) の縦方向ピッチ分の長さの抵抗を  $2R$  と仮定すると、電流経路上における信号線 43 と電流制限用 TFT 55 間の抵抗は  $2R$  の並列抵抗となり、抵抗値は  $R$  になる。また、このときの電流制御用 TFT のゲート-ソース電極間電圧  $V_{gs} = V_{th}'$  と仮定すると、ソース電極の電圧は  $V_{dd} - V_{th}'$  となるので、抵抗配線 48 には、ソース電極の電圧と信号線 43 の電圧  $V_{sig}$  の差電圧  $V_{data} - (V_{th}' - V_{th})$  が発生する。したがって、オームの法則により、抵抗配線 48 には式 4 に従う電流値  $i$  の電流が流れる。電流制御用 TFT のドレイン-ソース電極間電流  $i_{ds}$  も同じ電流値  $i$  の電流が流れる。

#### 【0065】

$$i = V_{data} \{1 - (V_{th}' - V_{th}) / V_{data}\} / R \cdots (\text{式 4})$$

時刻  $t_4$  において、全ての TFT スイッチを OFF にすると、電流制御用 TFT 55 のゲート-ソース電極間電圧  $V_{gs} = V_{th}'$  は、キャパシタ 56 によって保持される。

#### 【0066】

時刻  $t_5$  から時刻  $t_{END}$  までの間、図 9 (a) に示すように、駆動目的の画素回路 42 内の TFT スイッチ 54 を ON 状態にする。電流制御用 TFT 55 を通して EL 素子 58 に電流が供給され、EL 素子 58 は発光する。(この間、ドライバ IC 6 は他の画素に画像信号を書き込んでいても良い。) このとき、電流制御用 TFT 55 のドレイン-ソ



ス電極間電流  $i_{ds}$  は、電流キャパシタ 56 が保持しているゲートソース電極間電圧  $V_{gs} = V_{th}'$  により電流値  $i$  に制限される。そのため、EL 素子 58 に流れる電流  $i_{LED}$  も電流値  $i$  に制限される。

#### 【0067】

EL 素子 58 の発光強度は  $i_{LED}$  の電流値に比例するので、EL 素子 58 の発光輝度も電流値  $i$  に比例する。したがって、画像信号の情報をもつ電圧  $V_{data}$  によって、EL 素子 58 の発光輝度を制御することができる。

以上の動作を全ての画素に繰り返し行うことにより、画像信号に従って所定の画素の発光輝度を制御できるので、本実施形態例の画像表示装置は画像を表示することができる。

#### 【0068】

ところで、式 4 において、電圧  $V_{data}$  の振幅を電圧  $(V_{th}' - V_{th})$  より十分大きくすることにより、式 4 は、次の式 5 で近似することができる。

#### 【0069】

$$i = V_{data} / R \dots (\text{式 } 5)$$

この場合、式 5 の右辺には、電圧  $V_{data}$  と配線抵抗 48 の抵抗値から求められる抵抗値  $R$  しかないので、配線抵抗 48 に安定した抵抗値を持たせることにより、電源線 60 の電圧  $V_{dd}$  や、電流制御用 T F T 55 のスレッシュホールド電圧  $V_{th}$  の影響を受けずに電流値  $i$  と電圧  $V_{data}$  を比例させることができることを意味する。したがって、本実施形態例の画像表示装置を構成する EL 素子 58 の発光強度は、電源電圧  $V_{dd}$  の変動や、電流制御用 T F T の  $V_{th}$  ばらつきによる影響を受けにくい。

#### 【0070】

本実施形態例に示した画像表示装置は、携帯電話、TV、PDA、ノート PC、モニタに適用することで、携帯電話、TV、PDA、ノート PC、モニタ電源線の電圧降下や、T F T のスレッシュホールド電圧ばらつきに起因した発光素子の輝度ばらつきを軽減し、良好な画質の画像表示装置を実現することができる。

#### 【0071】

##### <実施形態 3>

本実施形態例では、第 1 および第 2 の実施形態例の変形例、加算回路の構成例、等について述べる。

前述した第 1 および第 2 の実施形態例では、画素回路の T F T は全て  $n$  チャンネルを用いているが、各ノード電圧極性、電流の向き、EL 素子の陽極、陰極を逆にすることで、画素回路の T F T を全て  $p$  チャンネル T F T で構成することができることは明らかである。

#### 【0072】

また図 10 に、前述した第 1 および第 2 の実施形態例で用いられる加算回路 23 の回路構成を示す。加算回路 23 は、オペアンプ回路 81、抵抗値  $r$  を持った抵抗 82、83 で構成される。加算回路 23 は、出力電圧  $V_o$  として、次の式 6 に示す電圧を発生する。

#### 【0073】

$$V_o = V_c - (r / r) V_{data} = V_c - V_{data} \dots (\text{式 } 6)$$

したがって図 10 に示した加算回路は、 $-V_{data}$  の値をキャパシタ 24 の電圧  $V_c$  に加算することをができる。

#### 【0074】

図 11 に、前述した第 1 および第 2 の実施形態例で用いられるドライバ IC 6 の代替回路を示す。ドライバ IC 6 の代わりに、ドライバ回路 6a を使うことができる。ドライバ回路 6a は、従来の液晶ディスプレイなどに使用されているアナログ電圧出力ドライバ IC 86 と、T F T スイッチ 87、88、キャパシタ 89 で構成されている。T F T スイッチ 88 は信号線 3 の電圧を低い電圧に下げるときのスイッチであり、図 1 および図 5 のスイッチ 27 と同じ働きをする。T F T スイッチ 87 は信号線 3 とキャパシタ 89 の間を接続し、信号線 3 の電圧にドライバ IC 86 の出力電圧を加算するときに ON にする。

#### 【0075】

図 12 は、図 11 においてドライバ出力電圧  $V_d$  の変化に対する信号線電圧  $V_{sig}$  の



応答を示した図である。TFTスイッチ87をONにした状態で、ドライバIC86の出力電圧 $V_d$ を0から、画像信号である $-V_{data}$ に変化させると、キャパシタの2端子間の電圧差は急には変化できないので、信号線の電圧 $V_{sig}$ も電圧 $V_{data}$ 分減少する。ただし、キャパシタ89の容量は、信号線3の寄生容量よりも十分大きいものを使用している。ここで、信号線の元の電圧が $V_{dd}-V_{th}$ だったと仮定すると、上記動作によって、信号線には新しい電圧 $V_{dd}-V_{th}-V_{data}$ が発生することになる。つまり、図11の回路は信号線3の電圧に $-V_{data}$ の電圧を加算できることを意味する。

【図面の簡単な説明】

【0076】

【図1】本発明に係る画像表示装置の第1の実施形態例を示す回路構成図。

【図2】図1に示した画素回路の詳細な構成を示す回路図。

【図3】第1の実施形態例のEL素子と接地電極の構造を示す図。

【図4】第1の実施形態例の駆動波形、スイッチのON/OFF動作、発生電圧、および発生電流を示すタイミングチャート。

【図5】本発明に係る画像表示装置の第2の実施形態例を示す回路構成図。

【図6】第2の実施形態例のEL素子、接地電極、信号線、および抵抗配線の構造を示す図。

【図7】図6に示したA-A'線に沿った部分の断面図。

【図8】第2の実施形態例の駆動波形、TFTスイッチのON/OFF動作、発生電圧、および発生電流を示すタイミングチャート。

【図9】TFTスイッチの状態変化を表した図。

【図10】第1及び第2の実施形態例で用いられる加算回路の回路図。

【図11】第1及び第2の実施形態例で用いられるドライバICの代替回路を示す図。

。

【図12】ドライバ出力電圧の変化に対する信号線電圧の応答を示す図。

【図13】EL素子を使った画素回路の従来例を示す図。

【符号の説明】

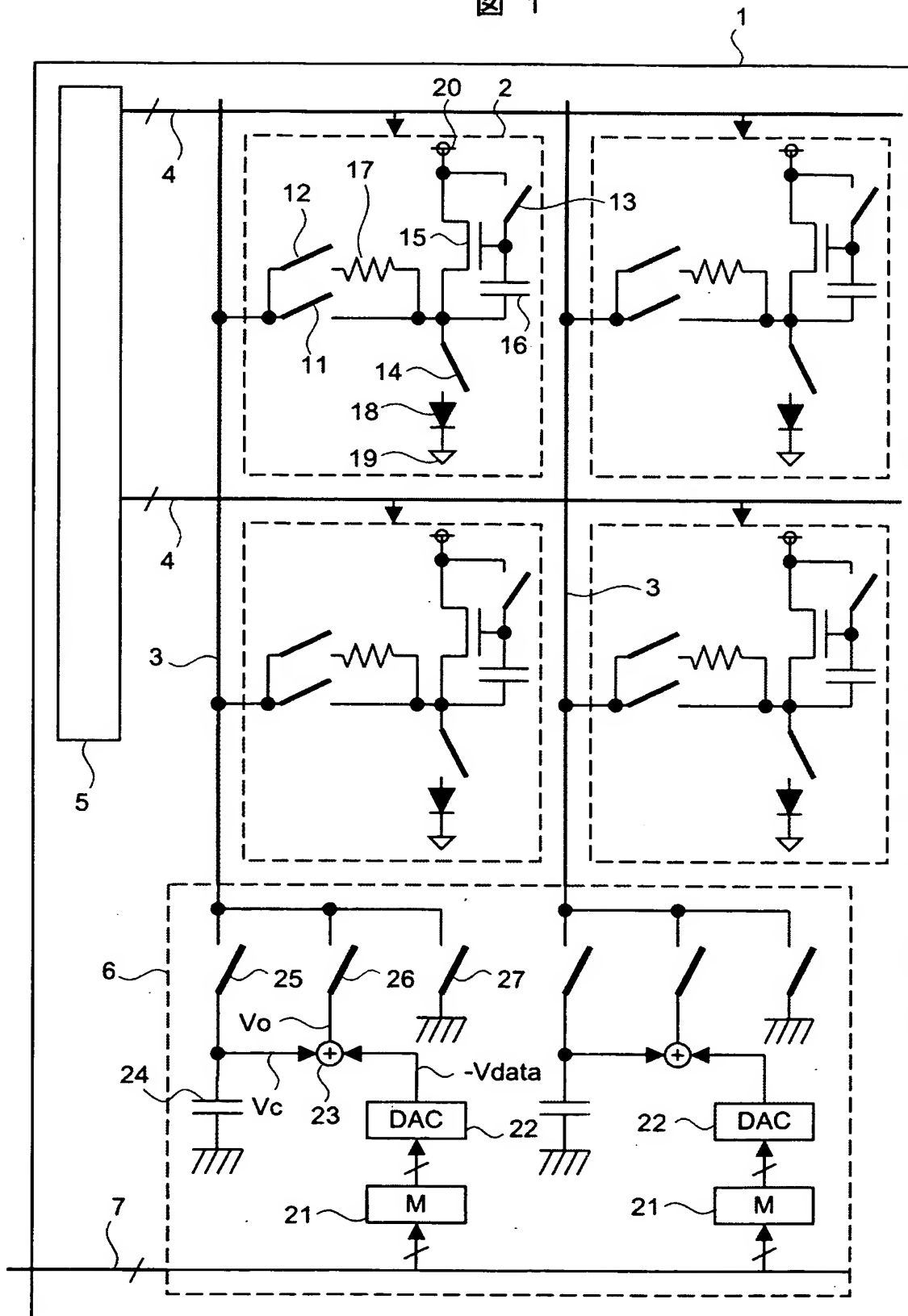
【0077】

1…ガラス基板、2…画素回路、3…信号線、4…走査線バス、4a～4d…走査線、5…走査回路、6…ドライバIC、6a…代替回路、7…ケーブル、11～14…TFTスイッチ、15…電流制御用TFT、16…キャパシタ、17…抵抗器、18…EL素子、18a…EL素子材料、19…接地電極、20…電源線、21…メモリ(M)、22…DAコンバータ(DAC)、23…加算回路、24…キャパシタ、25～27…スイッチ、30…陽極電極、41…ガラス基板、42…画素回路、43…信号線、44…走査線バス、45…走査回路、48…抵抗配線、49…ダミー画素回路、51～54…TFTスイッチ、55…電流制御用TFT、56…キャパシタ、58…EL素子、58a…EL素子材料、60…電源線、70…陽極電極、71～74…絶縁膜、81…オペアンプ回路、82、83…抵抗、86…ドライバIC、87、88…TFTスイッチ、101…抵抗、102、103…pチャネルTFT、104…スイッチTFT、105…電源線、106…キャパシタ、107…接地電極、108…EL素子、109…入力端子。

【書類名】 図面

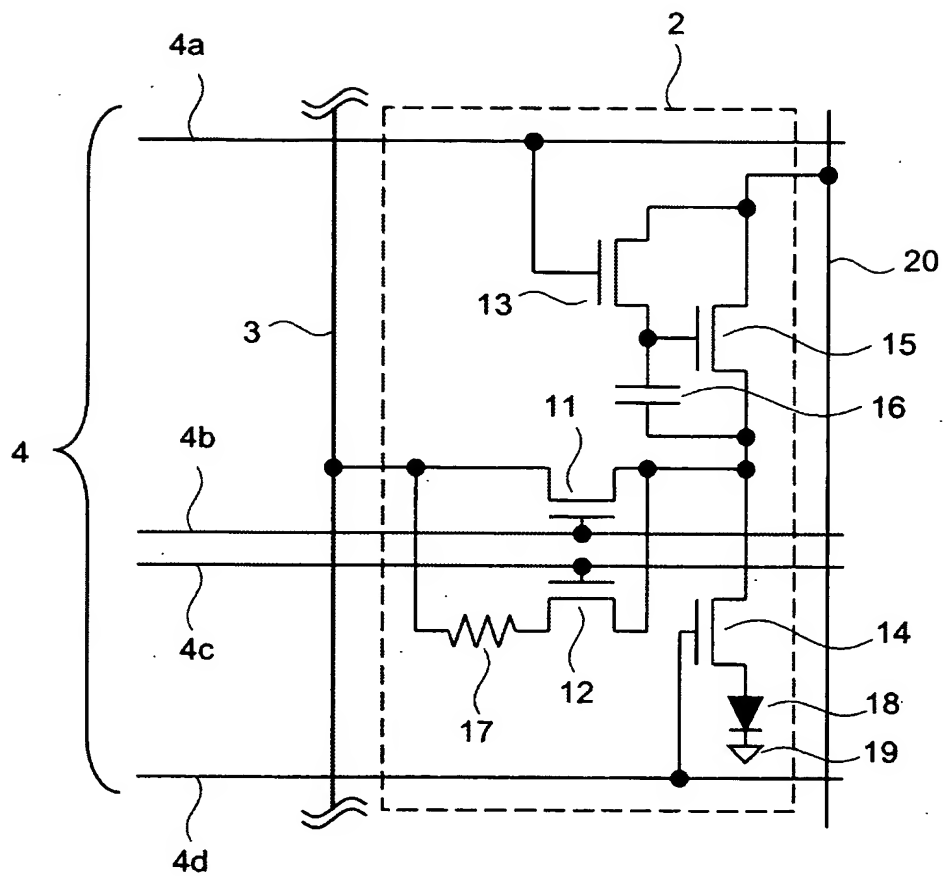
【圖 1】

圖 1



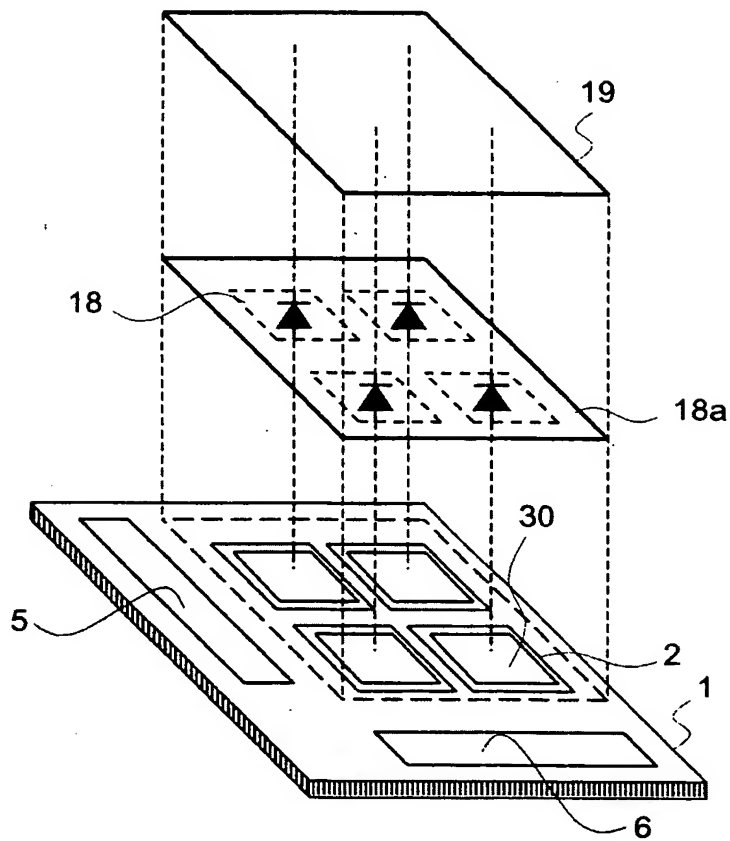
【図 2】

図 2



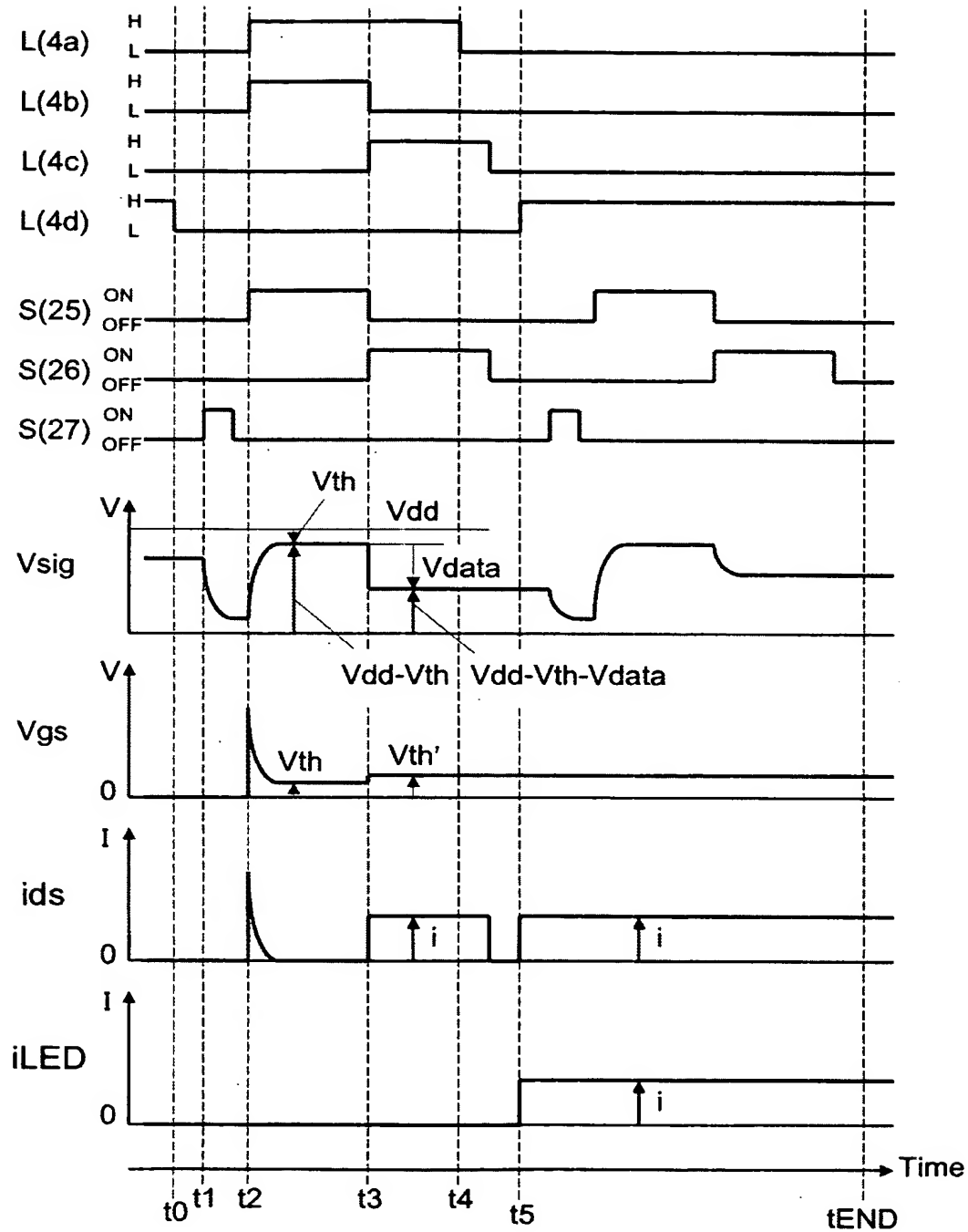
【図 3】

図 3



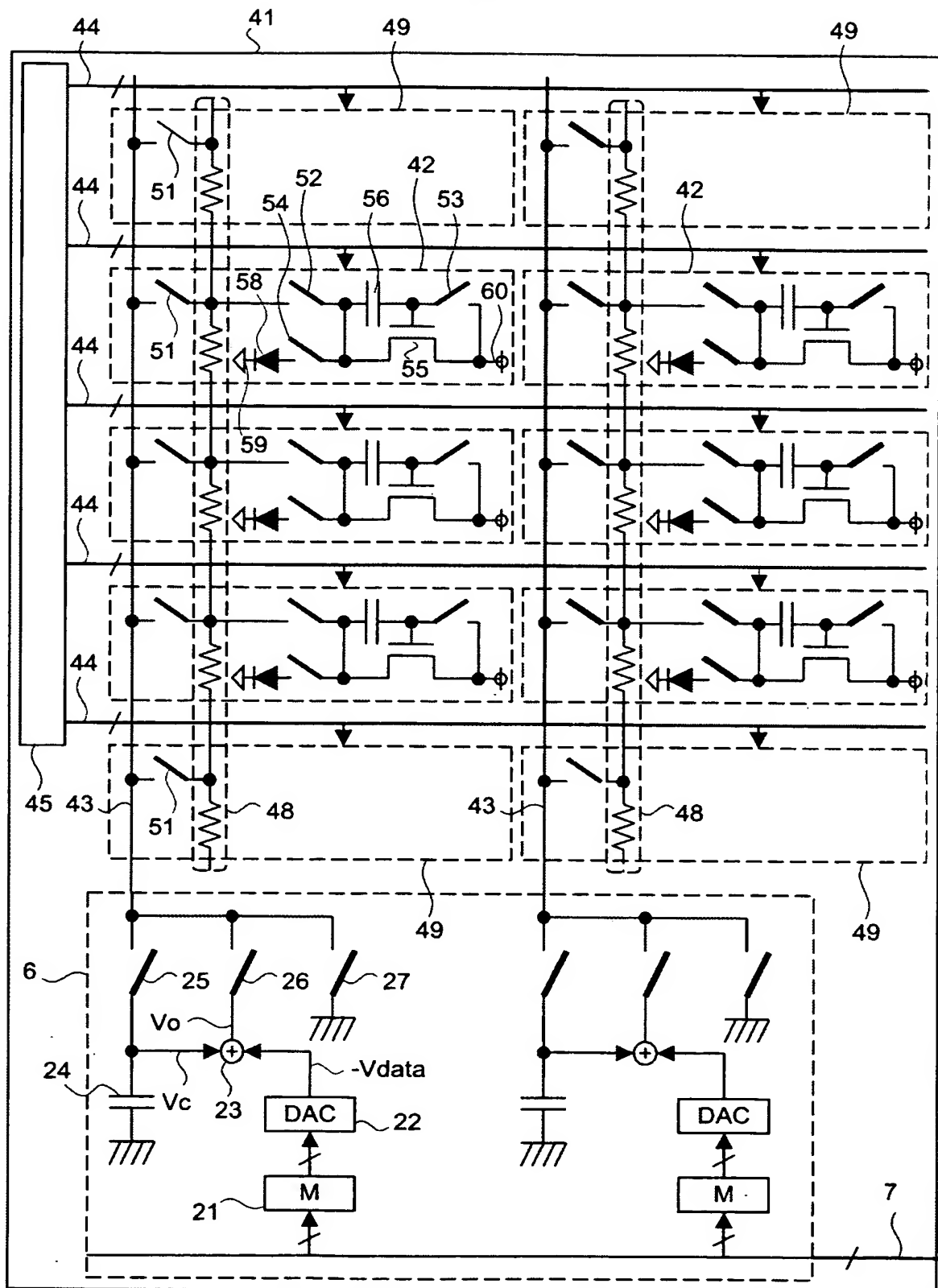
【図 4】

図 4



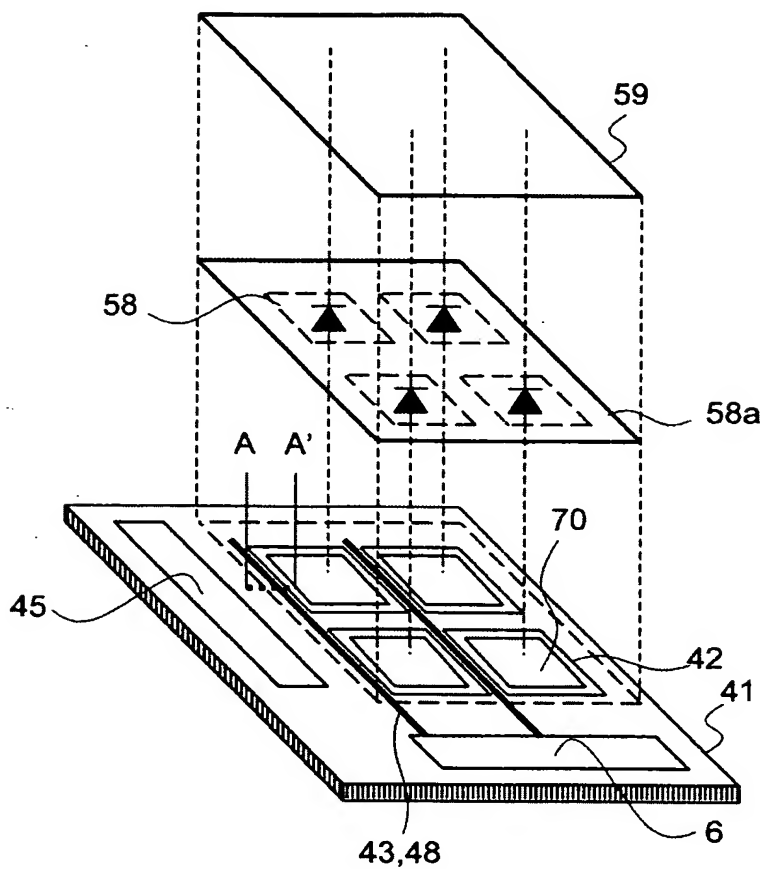
【図 5】

図 5



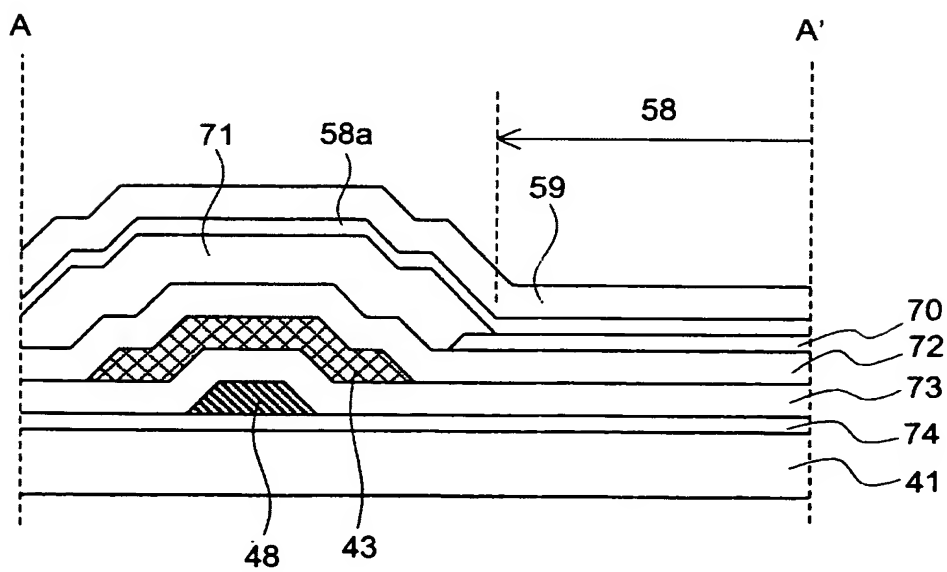
【図 6】

図 6



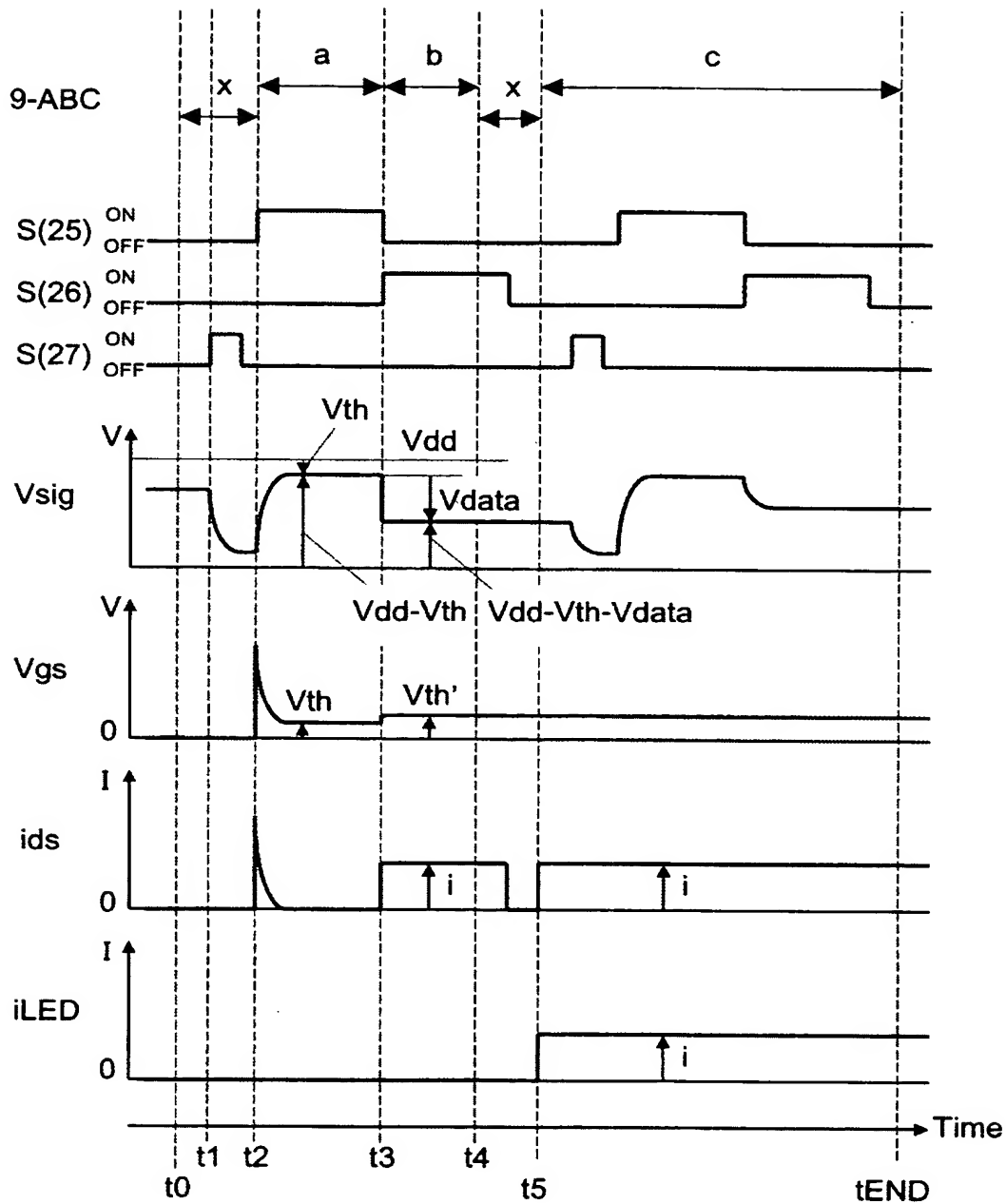
【図 7】

図 7



【図 8】

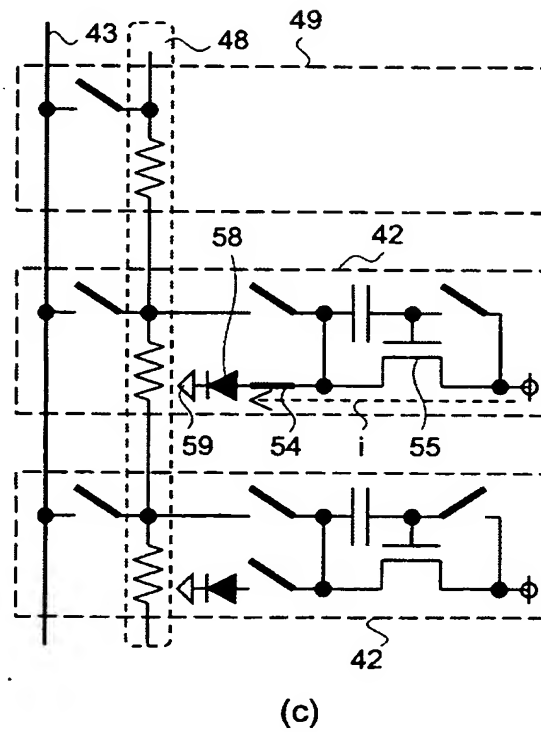
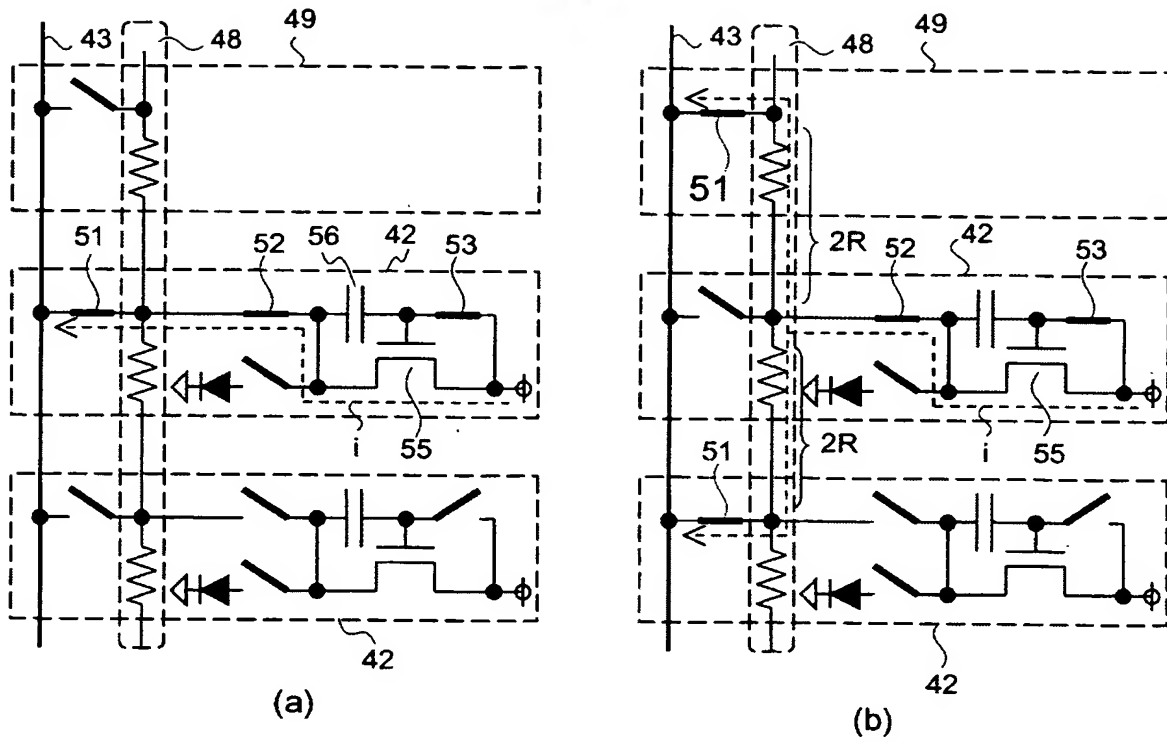
図 8





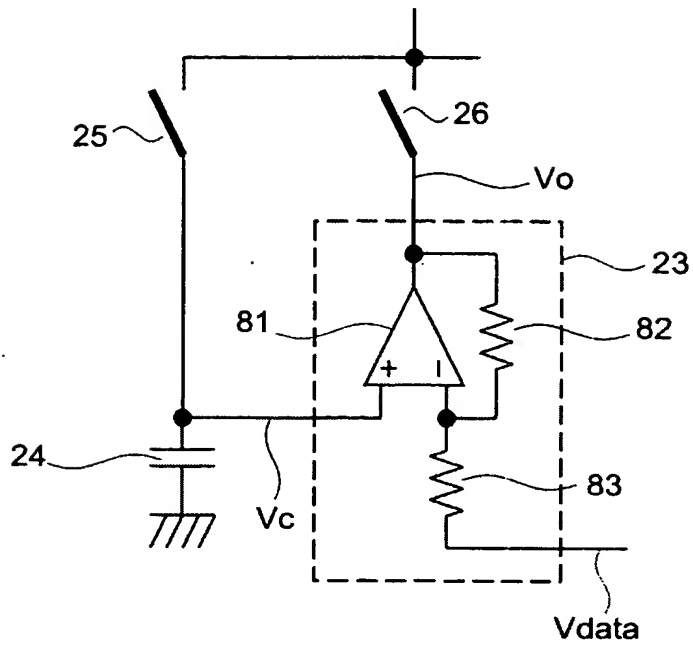
【図 9】

図 9



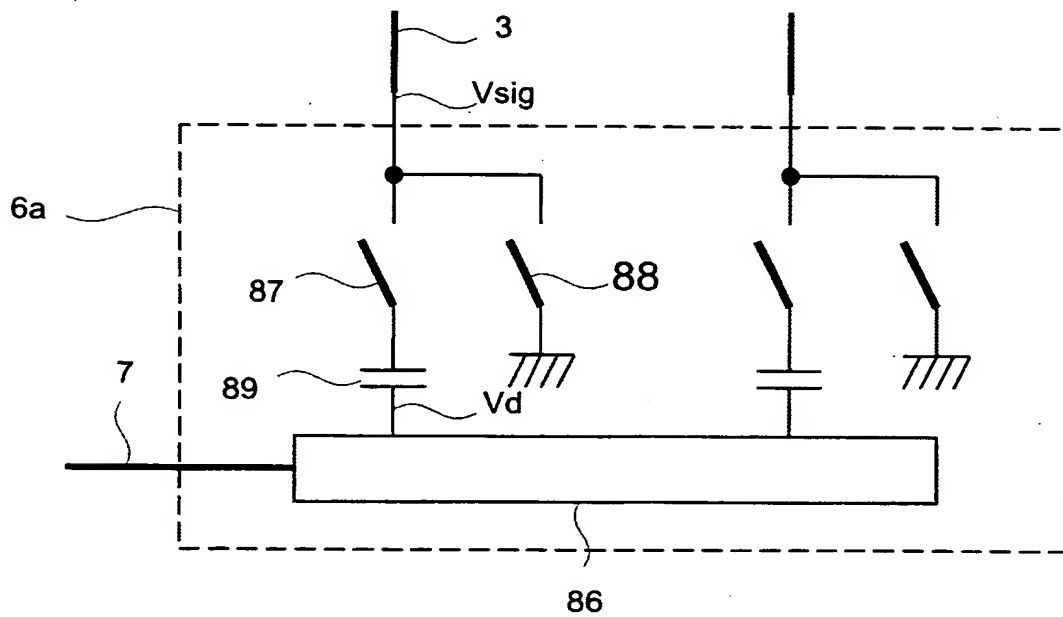
【図 10】

図 10



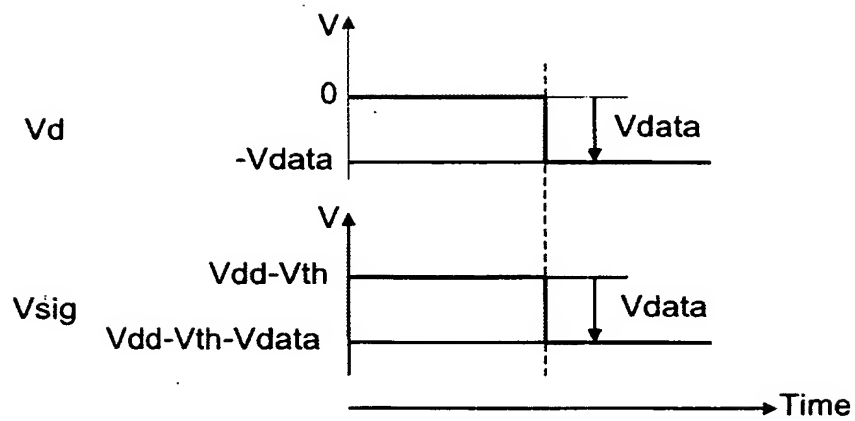
【図 11】

図 11



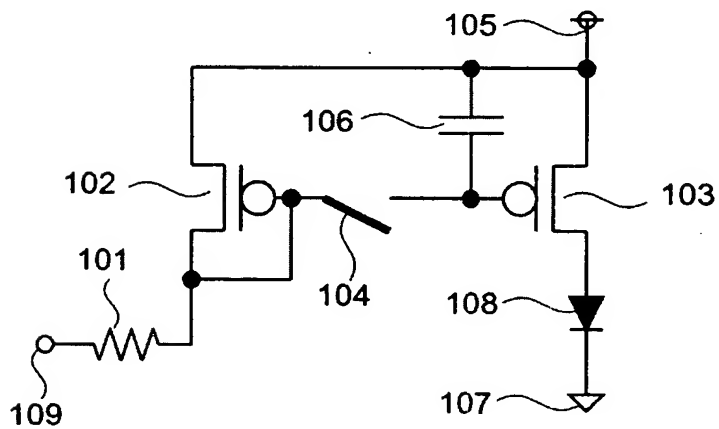
【図 12】

図 12



【図 13】

図 13



**【書類名】 要約書****【要約】**

**【課題】** 電源線の電圧降下や、T F Tのスレッシュホールド電圧ばらつきに起因した発光素子の輝度ばらつきを軽減し、良好な画質の画像表示装置を提供する。

**【解決手段】** 複数の画素がそれぞれ有する画素回路 2 の内部電圧を選択的に信号線 3 へ発生する画素回路電圧検出手段を有し、駆動回路 6 は信号線の電圧と表示画像に対応した信号電圧を加算して再度信号線に電圧を出力する電圧加算手段を備える。

**【選択図】** 図 1

特願 2003-367138

出願人履歴情報

識別番号

[000005108]

1. 変更年月日

1990年 8月31日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台4丁目6番地

氏 名

株式会社日立製作所

特願 2 0 0 3 - 3 6 7 1 3 8

出 願 人 履 歴 情 報

識別番号

[ 5 0 2 3 5 6 5 2 8 ]

1. 変更年月日

2 0 0 2 年 1 0 月 1 日

[変更理由]

新規登録

住 所

千葉県茂原市早野 3 3 0 0 番地

氏 名

株式会社 日立ディスプレイズ